

① RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

⑪ N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 792 760

⑫ N° d'enregistrement national : 99 05328

⑤ Int Cl<sup>7</sup> : G 11 C 7/00

⑫

## DEMANDE DE BREVET D'INVENTION

A1

⑫ Date de dépôt : 23.04.99.

③ Priorité :

④ Date de mise à la disposition du public de la  
demande : 27.10.00 Bulletin 00/43.

⑤ Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

⑥ Références à d'autres documents nationaux  
apparentés :

⑦ Demandeur(s) : STMICROELECTRONICS SA  
*Société anonyme — FR.*

⑧ Inventeur(s) : FREY CHRISTOPHE.

⑨ Titulaire(s) :

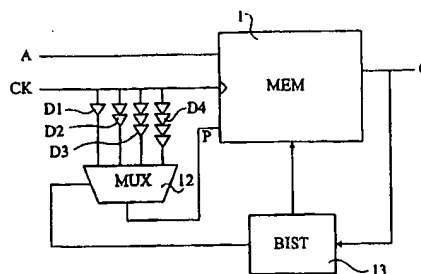
⑩ Mandataire(s) : CABINET MICHEL DE BEAUMONT.

⑪ MEMOIRE A REGLAGE OPTIMISE DES INSTANTS DE PRECHARGE.

⑫ L'invention concerne un circuit intégré produisant un événement en réaction à un front d'un signal d'entrée (CK) et avec un retard inconnu ( $\Delta$ ), qui comprend des moyens pour fournir un signal interne (P) incluant:

plusieurs lignes à retard (D1, D2, D3, D4) de tailles différentes qui reçoivent ledit front du signal d'entrée, un multiplexeur (12) dont chaque entrée reçoit la sortie de l'une des lignes à retard et dont la sortie produit ledit signal interne, et

un circuit de commande (13) du multiplexeur pour sélectionner une ligne à retard de façon à fournir ledit signal interne le plus tôt possible après ledit retard inconnu.



FR 2 792 760 - A1



### MÉMOIRE À RÉGLAGE OPTIMISÉ DES INSTANTS DE PRÉCHARGE.

La présente invention concerne une mémoire et plus particulièrement une optimisation des cycles de lecture de la mémoire.

Généralement, une opération de lecture d'une mémoire  
5 produit des données sur des lignes de bits à un instant inconnu  
après un signal de commande de lecture. Les lignes de bits doivent être préchargées avant chaque opération de lecture et, lorsqu'on enchaîne deux lectures, on doit provoquer la précharge  
nécessaire à la seconde lecture après la fin de la première  
10 lecture, c'est-à-dire à un instant inconnu après le signal de  
commande de la première lecture.

La figure 1 représente schématiquement une mémoire 1  
composée de cellules mémoire 2 disposées en rangées et en colonnes.  
Les cellules de chaque rangée sont sélectionnées par une ligne de  
15 rangée 3 respective, et les cellules de chaque colonne sont  
accessibles en lecture par un couple respectif de lignes de bits  
complémentaires 4. Chaque couple de lignes de bits 4 est associé  
à un amplificateur de lecture 5 respectif et chaque ligne de bit  
est reliée à une ligne d'alimentation Vdd par l'intermédiaire  
20 d'un transistor de précharge 6. Les lignes de rangée 3 sont  
reliées à un décodeur 7 qui reçoit une adresse A par l'intermédiaire d'un verrou 8 synchronisé par un signal d'horloge CK de

commande de lecture. Les transistors de précharge 6 sont commandés par un même signal de précharge P. Les amplificateurs de lecture 5 produisent un signal de sortie O.

Pour effectuer une lecture, les transistors 6 sont tout  
5 d'abord rendus conducteurs pendant une durée suffisante pour précharger les lignes de bits complémentaires 4 à la tension Vdd, puis les transistors 6 sont bloqués et une ligne de rangée 3 est activée par le décodeur 7. Chaque couple de lignes de bits est alors déséquilibré en fonction des informations mémorisées dans  
10 les cellules de la rangée sélectionnée.

Lorsqu'on effectue deux opérations de lecture à la suite, la précharge qui doit précéder la deuxième lecture efface les données produites par la première lecture. Ainsi, il est nécessaire de garantir que la précharge pour une opération de  
15 lecture courante est toujours effectuée après la fin de l'opération de lecture précédente.

Le rôle d'une colonne de référence 9 sera décrit ultérieurement.

La figure 2 représente une mémoire du type de la figure  
20 1, dont la commande de précharge P est obtenue en inversant le signal d'horloge CK qui cadence les opérations de lecture.

La figure 3 illustre des opérations de lecture du circuit de la figure 2. A un instant  $t_0$ , l'adresse A fournie à la mémoire 1 change. A un instant  $t_1$  qui correspond au prochain  
25 front montant du signal d'horloge CK, l'adresse A est fournie au décodeur 7 par le verrou 8. A partir de l'instant  $t_1$ , qui correspond au début d'une opération de lecture, la sortie O de la mémoire commence à changer et son état est indéterminé (X). On considère que la sortie O reste dans un état indéterminé pendant  
30 une durée  $\Delta$  inconnue qui correspond au temps de réaction de la colonne la plus lente de la mémoire 1.

A un instant  $t_2$ , à la fin de la durée  $\Delta$ , la sortie O est considérée comme stable et elle peut être utilisée. A partir d'un instant  $t_3$ , qui correspond au prochain front montant du  
35 signal de commande P, commence la précharge nécessaire à l'opéra-

tion de lecture suivante. La sortie O est indéterminée pendant tout l'intervalle de précharge, qui dure ici jusqu'au front montant suivant du signal d'horloge CK.

On remarque que la sortie O produite lors d'un cycle de lecture qui commence à l'instant  $t_1$  est stable et utilisable  
5 seulement entre les instants  $t_2$  et  $t_3$ . L'instant  $t_2$  dépend de la durée maximale de lecture  $\Delta$  qui est une caractéristique de la mémoire 1. L'instant  $t_3$  dépend de la durée  $t_3 - t_1$ , c'est-à-dire du rapport cyclique du signal CK.

On a représenté en figure 3 un signal CK avec un rap-  
10 port cyclique de  $\frac{1}{2}$ , mais on remarque que si ce dernier diminue, la durée  $t_3 - t_1$  diminue également et peut même devenir inférieure à la durée  $\Delta$ , auquel cas la sortie O est effacée avant de pouvoir être lue.

Ainsi, dans le cas où le signal de précharge P est le  
15 complément du signal d'horloge CK, on doit garantir une valeur minimale du rapport cyclique du signal CK, ce qui n'est pas toujours possible. On a donc cherché à produire une commande de précharge P indépendante du rapport cyclique du signal d'horloge  
20 CK.

La figure 4 représente une mémoire 1 du type de la figure 1, dont la commande de précharge P est obtenue en retardant le signal d'horloge CK avec une ligne à retard D.

La figure 5 illustre des opérations de lecture succes-  
25 sives du circuit de la figure 4. On appelle  $t_D$  le retard introduit par la ligne à retard D : la commande de précharge P est activée à un instant  $t_4$  survenant une durée  $t_D$  après l'instant  $t_1$ .

La sortie O produite lors d'un cycle de lecture qui  
30 commence en un instant  $t_1$  est utilisable entre l'instant  $t_2$  susmentionné, qui dépend de la durée  $\Delta$ , et l'instant  $t_4$  qui dépend de la durée  $t_D$  de la ligne à retard D. Le rapport cyclique du signal d'horloge CK n'a aucune influence sur la durée  $t_4 - t_2$ .

Cependant, la durée  $\Delta$  et le retard  $t_D$  varient en fonc-  
35 tion du processus de fabrication utilisé, de la température,

ainsi que d'autres paramètres. Il est difficile de connaître ces variations à l'avance, et pour garantir que la durée  $t_4-t_2$  sera toujours suffisante pour utiliser la sortie  $O$ , on choisit un retard  $t_D$  plus grand qu'il n'est nécessaire.

5           Le retard  $t_D$  doit cependant rester inférieur à une période du signal CK, afin que la précharge puisse avoir lieu dans le cycle de lecture. Ainsi, si le retard  $t_D$  est trop important, on doit limiter la fréquence maximale de fonctionnement et donc les performances de la mémoire 1.

10           On a donc cherché à produire une commande de précharge P avec un retard qui dépend des caractéristiques de la mémoire.

Pour cela, à la figure 1, on a prévu une colonne de référence 9, de même structure qu'une colonne normale et disposée à l'extrémité distale des lignes de précharge et de rangée 3.

15           Avec cette configuration, la colonne de référence 9 est celle qui fournit le plus tard une sortie stable  $O_1$  lors d'une opération de lecture.

20           La figure 6 représente une mémoire de ce type, dont la commande de précharge P est produite à partir de la sortie  $O_1$  de la colonne de référence par un détecteur de fronts 11.

25           La figure 7 illustre des opérations de lecture du circuit de la figure 6. Le signal  $O_1$  est produit à un instant  $t_5$ , en réaction au front du signal d'horloge CK de l'instant  $t_1$ . On appelle  $\Delta_1$  la durée écoulée entre les instants  $t_1$  et  $t_5$ . Pour les raisons exposées précédemment, la durée  $\Delta_1$  est toujours supérieure à la durée  $\Delta$ , quelles que soient les caractéristiques et les conditions de fonctionnement de la mémoire 1.

30           Le détecteur de fronts 11 produit la commande de précharge P en réaction au signal  $O_1$  à un instant  $t_6$ . On appelle  $\Delta_2$  la durée entre les instants  $t_5$  et  $t_6$ . Elle dépend principalement du temps de propagation du signal  $O_1$  et de la commande de précharge P. La durée  $\Delta_2$  est relativement importante, puisque la borne qui produit le signal  $O_1$  est loin des bornes d'entrée, notamment de celle sur laquelle on fournit la commande de précharge P.

35

Les durées  $\Delta_1$  et  $\Delta_2$ , qui correspondent à la largeur de la mémoire, augmentent avec la taille de cette dernière. Or, la somme des durées  $\Delta_1$  et  $\Delta_2$  doit rester inférieure à une période du signal CK pour que la précharge ait lieu dans le cycle de lecture. Ainsi, plus une mémoire est grande, plus la durée  $\Delta_1 + \Delta_2$  est grande, et plus la période du signal CK doit être choisie grande, ce qui limite les performances de la mémoire.

Un objet de la présente invention est de produire à partir d'un signal d'horloge une commande de précharge qui permette d'optimiser la vitesse de lecture de la mémoire.

Pour atteindre cet objet, la présente invention prévoit un circuit intégré produisant un événement en réaction à un front d'un signal d'entrée et avec un retard inconnu, qui comprend des moyens pour fournir un signal interne incluant plusieurs lignes à retard de tailles différentes qui reçoivent ledit front du signal d'entrée, un multiplexeur dont chaque entrée reçoit la sortie de l'une des lignes à retard et dont la sortie produit ledit signal interne, et un circuit de commande du multiplexeur pour sélectionner une ligne à retard de façon à fournir ledit signal interne le plus tôt possible après ledit retard inconnu.

Selon un mode de réalisation de la présente invention, le circuit intégré comporte au moins un élément de référence qui produit au moins un front de référence en réaction audit front du signal d'entrée avec un retard supérieur audit retard inconnu, et le circuit de commande comprend plusieurs comparateurs recevant chacun sur une première entrée la sortie d'une ligne à retard respective et sur une deuxième entrée ledit au moins un front de référence, et un circuit d'analyse des sorties des comparateurs qui commande le multiplexeur pour changer la ligne à retard sélectionnée lors du test lorsque les sorties des comparateurs indiquent une variation de la durée entre la sortie de la ligne à retard sélectionnée et ledit au moins un front de référence.

Selon un mode de réalisation de la présente invention, le circuit intégré comprend une matrice de cellules mémoire sélectionnées par rangées par un signal d'adresse et accessibles

en lecture par colonnes par des lignes de bits, le signal d'entrée est un signal d'horloge de synchronisation du signal d'adresse, ledit événement est la lecture d'une colonne, et ledit signal interne est un signal de précharge des lignes de bits.

5            Selon un mode de réalisation de la présente invention, le circuit intégré comprend une matrice de cellules mémoire sélectionnées par rangées par un signal d'adresse et accessibles en lecture par colonnes par des lignes de bits, le signal d'entrée est un signal d'horloge de synchronisation du signal d'adresse, 10 ledit événement est la lecture d'une colonne, ledit signal interne est un signal de précharge des lignes de bits, et ledit au moins un élément de référence est une colonne supplémentaire située par rapport aux autres colonnes de manière que sa lecture soit plus lente que la lecture des autres colonnes.

15            En outre, la présente invention, prévoit également un procédé de réglage du circuit susmentionné, comprenant les étapes consistant à, dans un mode de test :

- a) sélectionner la ligne à retard la plus courte,
- b) fournir au circuit un signal d'entrée prédéterminé,
- 20            c) si le signal interne produit par le multiplexeur survient après l'événement produit en réaction au front du signal d'entrée, quitter le mode de test,
- d) sinon sélectionner la ligne à retard immédiatement plus longue et répéter les étapes b) et c).

25            Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

30            la figure 1, décrite précédemment, représente schématiquement et partiellement une structure de mémoire à accès aléatoire ;

             la figure 2, décrite précédemment, illustre une mémoire avec un premier mode de génération classique d'une commande de 35 précharge ;

la figure 3, décrite précédemment, illustre le fonctionnement du circuit de la figure 2 ;

la figure 4, décrite précédemment, illustre une mémoire avec un deuxième mode de génération classique d'une commande de  
5 précharge ;

la figure 5, décrite précédemment, illustre le fonctionnement du circuit de la figure 4 ;

la figure 6, décrite précédemment, illustre une mémoire avec un troisième mode de génération classique d'une commande de  
10 précharge ;

la figure 7, décrite précédemment, illustre le fonctionnement du circuit de la figure 6 ;

la figure 8 illustre une mémoire avec un mode de génération d'une commande de précharge selon la présente invention ;

15 la figure 9 illustre le fonctionnement du circuit de la figure 8 ; et

la figure 10 illustre une mémoire avec une variante du mode de génération d'une commande de précharge selon la présente invention.

20 La présente invention consiste à produire à l'aide de plusieurs lignes à retard recevant chacune le signal d'horloge CK, plusieurs signaux internes, puis à sélectionner celui de ces signaux internes qui est le plus approprié pour être utilisé en tant que commande de précharge.

25 La figure 8 représente une mémoire 1 semblable à celle de la figure 1 qui reçoit une adresse A et un signal d'horloge CK. Le signal d'horloge CK est fourni à quatre lignes à retard D<sub>1</sub> à D<sub>4</sub> de tailles différentes, dont les sorties sont connectées aux entrées d'un multiplexeur 12. La sortie du multiplexeur 12 constitue la commande de précharge P, et le multiplexeur est commandé  
30 par un circuit d'auto-test intégré (BIST) 13. Le circuit 13 est prévu pour effectuer des tests classiques sur la mémoire 1, en y écrivant des motifs de test et en vérifiant si les sorties de la mémoire correspondent aux motifs de test.



Lors d'un test, par exemple à la mise sous tension, le circuit 13 sélectionne initialement la ligne à retard la plus courte D1. Il effectue alors une opération de test classique et vérifie si les données produites par la mémoire sont correctes.

5 Dans l'affirmative, le retard introduit par la ligne à retard courante est suffisant et cette ligne à retard est sélectionnée pour produire la commande de précharge P en mode normal. Dans le cas contraire, les erreurs sont probablement dues au fait que la commande de précharge est générée trop tôt, avant la stabilisa-

10 tion des données O produites par la mémoire. Le circuit 13 sélectionne alors la ligne à retard immédiatement plus longue et répète les étapes de test précédentes, et ainsi de suite jusqu'à la sélection d'une ligne à retard qui ne produit aucune erreur.

La figure 9 illustre le fonctionnement en mode normal

15 du circuit de la figure 8, pour lequel le test a permis de sélectionner la ligne à retard D<sub>3</sub>. La commande de précharge P produite en réaction au front du signal d'horloge CK de l'instant t<sub>1</sub> se produit à un instant t<sub>7</sub>, la durée séparant les instants t<sub>1</sub> et t<sub>7</sub> étant égale au temps t<sub>p3</sub> nécessaire à traverser la ligne à retard

20 D<sub>3</sub> et le multiplexeur 12.

On a représenté en pointillés les allures de la commande de précharge P correspondant aux lignes à retard D1, D2, D4. Les commandes de précharge P qui seraient produites par les lignes à retard D1 et D2 arriveraient trop tôt et ne permettraient pas de

25 lire convenablement les données O. A l'inverse, la commande de précharge qui serait produite par la ligne à retard D4 arriverait suffisamment tard après la stabilisation des données O, mais imposerait un délai important entre la stabilisation des données O et le début de la précharge suivante, ce qui limiterait inuti-

30 lement la fréquence de lecture de la mémoire 1.

Il peut arriver, par exemple à la suite d'un changement de température, que la vitesse d'un circuit mémoire évolue au cours de son fonctionnement. Il peut alors être nécessaire de

changer la ligne à retard pour conserver un fonctionnement opti-

35 mal. Le mode de réalisation de la figure 8 ne permet d'effectuer

une sélection de ligne à retard qu'à l'issue d'un test qui comporte plusieurs écritures et lectures qui perturbent les données inscrites dans la mémoire. Ainsi, il n'est pas possible avec ce mode de réalisation d'opérer une nouvelle sélection de ligne à retard en cours de fonctionnement.

La figure 10 représente une variante de mode de réalisation du circuit de la figure 8, qui permet de changer la sélection de la ligne à retard en cours de fonctionnement. La mémoire 1 est du type décrit en relation avec la figure 1, et elle est munie de quatre éléments de référence 9 en extrémité de mémoire, produisant des signaux de référence respectifs O1, O2, O3 et O4. Quatre comparateurs 14 à 17 reçoivent respectivement les sorties des lignes à retard D1 à D4, et les signaux de référence O1 à O4. Les sorties de ces comparateurs sont fournies à un circuit de commande 18 qui reçoit également la sortie d'un circuit de test 13 et qui commande le multiplexeur 12.

Le circuit de la figure 11 est prévu pour, à la mise sous tension, sélectionner la ligne à retard qui convient le mieux de la manière décrite en relation avec la figure 8.

En fonctionnement normal, le circuit de commande 18 analyse la durée comprise entre le front montant et le front descendant du résultat de comparaison pour la ligne à retard sélectionnée.

Si la durée comprise entre ces fronts ne varie pas, cela signifie que la durée de traversée de la ligne à retard sélectionnée et la durée de production du signal de référence n'ont pas changé, ou bien que ces durées ont changé dans les mêmes proportions. Dans les deux cas, la ligne à retard sélectionnée est toujours la bonne et le circuit de commande 18 reste inactif.

Si la durée comprise entre ces fronts varie, cela signifie que la durée de traversée de la ligne à retard sélectionnée change par rapport à la durée de production du signal de référence. Si la variation est d'une durée supérieure au pas choisi pour les lignes à retard, cela signifie que la ligne à

retard sélectionnée doit être remplacée par une ligne à retard plus longue ou plus courte, selon que la durée de traversée de la ligne à retard sélectionnée a augmenté ou diminué par rapport à la durée de production du signal de référence. Le circuit 18  
5 commande en conséquence le multiplexeur 12.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. A titre d'exemple dans le mode de réalisation décrit en relation avec la figure 10, on utilise quatre colonnes de réf-  
10 rence 9 pour fournir quatre signaux de référence identiques aux amplificateurs 14 à 17. Ainsi, l'amplificateur de lecture 5 de chacune des colonnes de référence fournit un signal à une seule entrée de comparateur ayant une capacité modérée, ce qui permet un fonctionnement rapide. Selon une variante, on peut cependant  
15 utiliser une seule colonne de référence munie d'un amplificateur de lecture à forte sortance, capable de fournir un signal de référence à plusieurs comparateurs en même temps tout en conservant une vitesse de fonctionnement élevée.

De même, le nombre de quatre lignes à retard est pris  
20 comme exemple, et l'homme de l'art adaptera aisément la présente invention à un nombre différent de lignes à retard.

REVENDICATIONS

1. Circuit intégré produisant un événement en réaction à un front d'un signal d'entrée (CK) et avec un retard inconnu ( $\Delta$ ), caractérisé en ce qu'il comprend des moyens pour fournir un signal interne (P) incluant :

5 plusieurs lignes à retard (D1, D2, D3, D4) de tailles différentes qui reçoivent ledit front du signal d'entrée,

un multiplexeur (12) dont chaque entrée reçoit la sortie de l'une des lignes à retard et dont la sortie produit ledit signal interne, et

10 un circuit de commande (13) du multiplexeur pour sélectionner une ligne à retard de façon à fournir ledit signal interne le plus tôt possible après ledit retard inconnu.

2. Circuit intégré selon la revendication 1, caractérisé en ce qu'il comporte au moins un élément de référence (9) qui produit au moins un front de référence ( $O_1$ ) en réaction audit front du signal d'entrée avec un retard ( $\Delta_1$ ) supérieur audit retard inconnu, et en ce que le circuit de commande comprend :

15 plusieurs comparateurs (14, 15, 16, 17) recevant chacun sur une première entrée la sortie d'une ligne à retard respective (D1, D2, D3, D4) et sur une deuxième entrée ledit au moins un front de référence, et

25 un circuit (18) d'analyse des sorties des comparateurs qui commande le multiplexeur pour changer la ligne à retard sélectionnée lors du test lorsque les sorties des comparateurs indiquent une variation de la durée entre la sortie de la ligne à retard sélectionnée et ledit au moins un front de référence.

3. Circuit intégré selon la revendication 1 comprenant une matrice de cellules mémoire (2) sélectionnées par rangées par un signal d'adresse (A) et accessibles en lecture par colonnes par des lignes de bits (4), caractérisé en ce que

30 le signal d'entrée est un signal d'horloge (CK) de synchronisation du signal d'adresse,

ledit événement est la lecture d'une colonne et,

ledit signal interne est un signal de précharge (P) des lignes de bits.

4. Circuit intégré selon la revendication 2 comprenant une matrice de cellules mémoire (2) sélectionnées par rangées par un signal d'adresse (A) et accessibles en lecture par colonnes par des lignes de bits (4), caractérisé en ce que

le signal d'entrée est un signal d'horloge (CK) de synchronisation du signal d'adresse,

ledit événement est la lecture d'une colonne,

ledit signal interne est un signal de précharge des lignes de bits, et

ledit au moins un élément de référence (9) est une colonne supplémentaire située par rapport aux autres colonnes de manière que sa lecture soit plus lente que la lecture des autres colonnes.

5. Procédé de réglage d'un circuit selon la revendication 1, comprenant les étapes suivantes dans un mode de test :

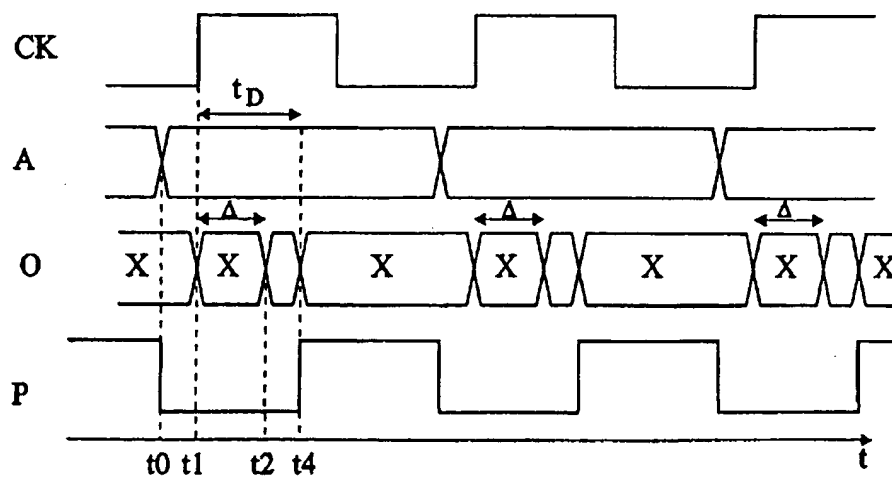
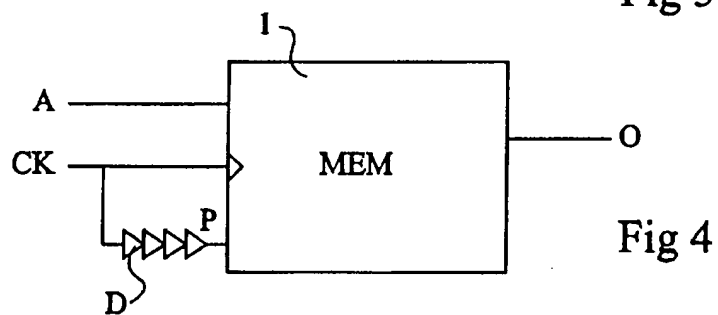
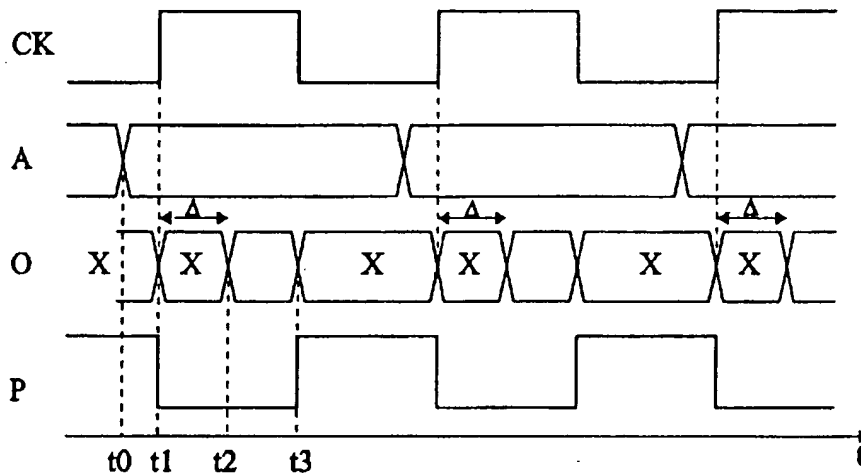
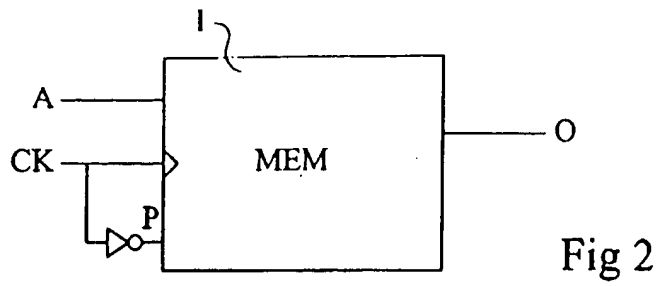
a) sélectionner la ligne à retard la plus courte,

b) fournir au circuit un signal d'entrée prédéterminé,

c) si le signal interne produit par le multiplexeur survient après l'événement produit en réaction au front du signal d'entrée, quitter le mode de test,

d) sinon sélectionner la ligne à retard immédiatement plus longue et répéter les étapes b) et c).





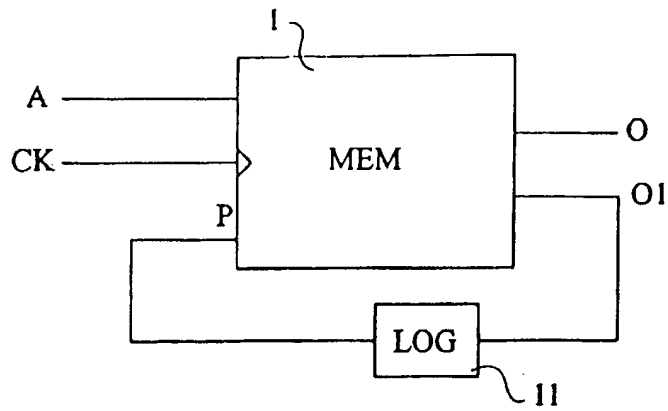


Fig 6

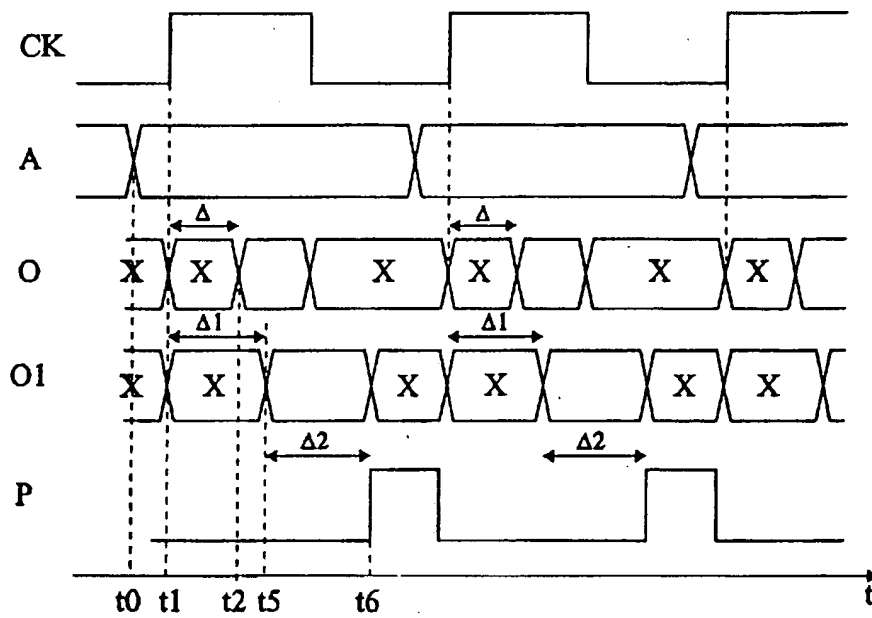


Fig 7

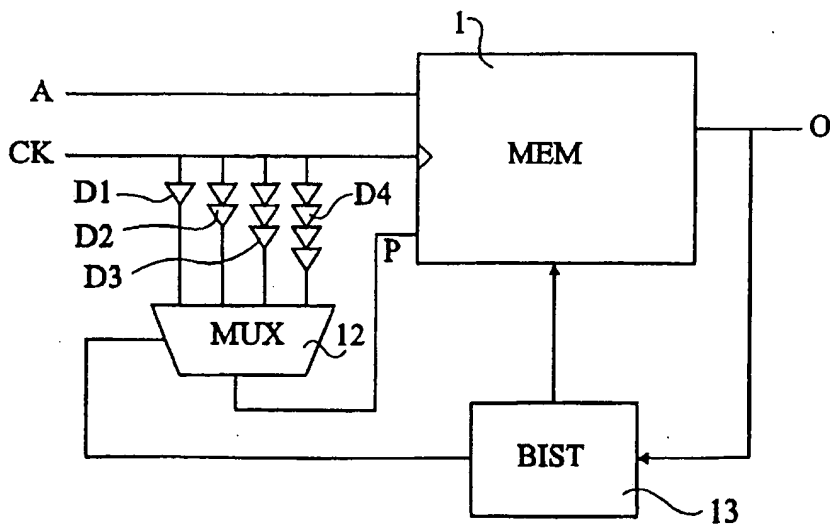


Fig 8



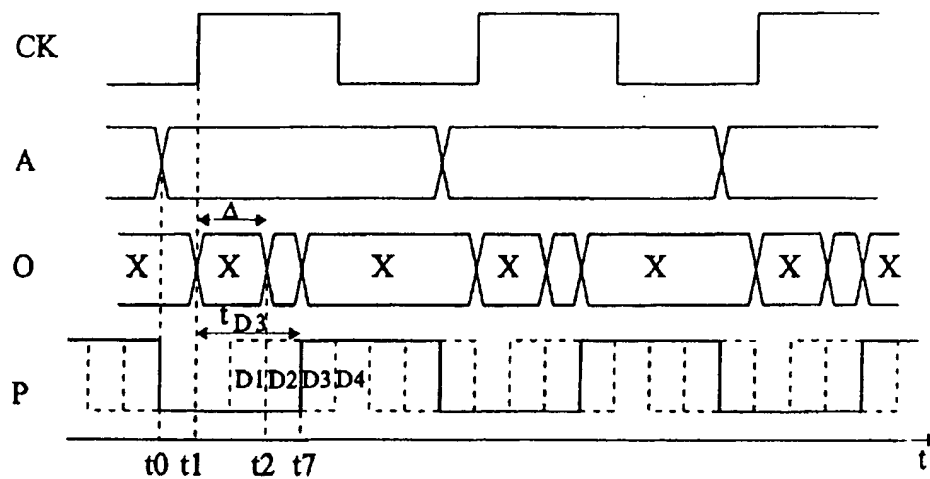


Fig 9

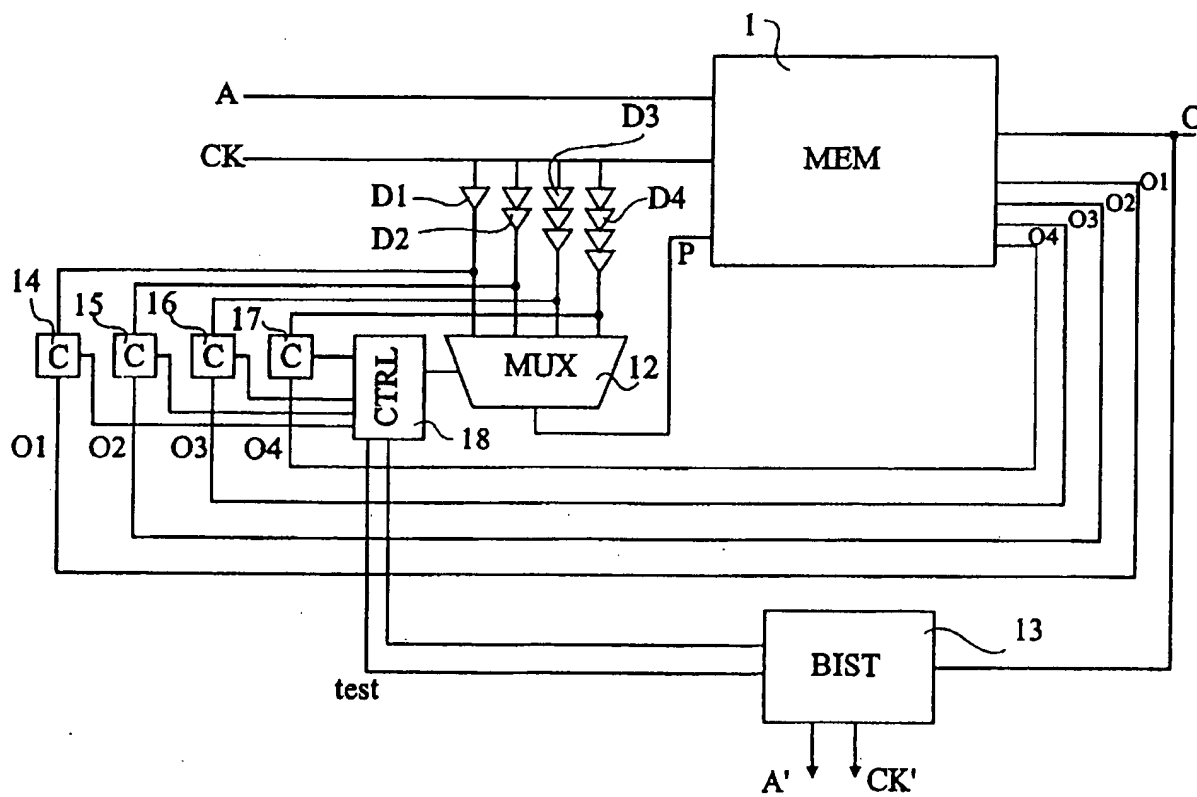


Fig 10

REPUBLIQUE FRANÇAISE

INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE  
PRELIMINAIRE**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

2792760  
N° d'enregistrement  
national

FA 571824  
FR 9905328

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	US 4 813 021 A (KAI HAJIME ET AL) 14 mars 1989 (1989-03-14) * colonne 4, ligne 1 - colonne 5, ligne 4; figure 5 *  -----	1-4
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.7)
		G11C
Date d'achèvement de la recherche		Examineur
27 janvier 2000		Wolff, N
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... &amp; : membre de la même famille, document correspondant</p>		

1  
EPO FORM 1503 03.02 (P/MC13)